

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-081222

(43)Date of publication of application : 02.04.1993

(51)Int.Cl.

G06F 15/16

F02D 45/00

G06F 9/38

(21)Application number : 03-241672

(71)Applicant : HITACHI LTD

HITACHI AUTOMOT ENG CO LTD

(22)Date of filing : 20.09.1991

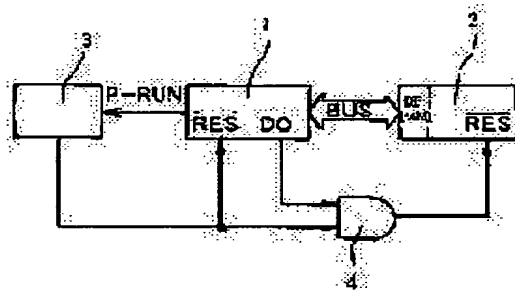
(72)Inventor : KAMIMURA YASUO
FUJISAWA MASAOKI

(54) METHOD FOR MONITORING OPERATION OF TWO CPUS

(57)Abstract:

PURPOSE: To inexpensively constitute a circuit and to make it possible to drive a main CPU side control function even when a failure occurs in a sub-CPU by providing this system with a watchdog timer circuit for monitoring the operation of a main CPU.

CONSTITUTION: The watchdog timer circuit 3 monitors a program run signal outputted from the main CPU 1, and when the program run signal is not inverted within a regulated time at the accuracy of a failure in the CPU 1, outputs a reset signal RES to both the main and sub CPUs 1, 2. Since data communication with the main CPU 1 is disabled when the sub-CPU 2 is failed, a sub-CPU operation monitoring flag previously set up in the CPU 1 is not driven, the failure of the CPU 2 is decided and a reset signal is outputted from the output port of the CPU 1 to the CPU 2. An AND gate 4 is prepared for inputting a reset signal to the CPU 2 when the CPU 1 or 2 is failed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-81222

(43)公開日 平成5年(1993)4月2日

| (51)IntCl ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|------------------------|---------|---------|-----|--------|
| G 0 6 F 15/16 | 4 6 0 T | 9190-5L | | |
| F 0 2 D 45/00 | 3 7 4 Z | 8109-3G | | |
| G 0 6 F 9/38 | 3 7 0 C | 9290-5B | | |
| 15/16 | 4 6 0 B | 9190-5L | | |

審査請求 未請求 請求項の数3(全 4 頁)

(21)出願番号 特願平3-241672

(22)出願日 平成3年(1991)9月20日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000232988

日立オートモティブエンジニアリング株式
会社茨城県勝田市大字高場字鹿島谷津2477番地
3

(72)発明者 上村 保雄

茨城県勝田市大字高場字鹿島谷津2477番地
3 日立オートモティブエンジニアリング
株式会社内

(74)代理人 弁理士 高田 幸彦

最終頁に続く

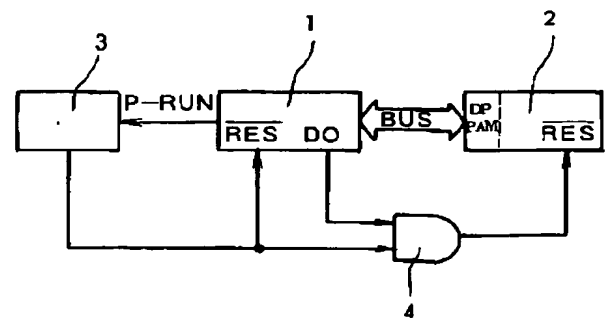
(54)【発明の名称】 2CPUの動作監視方法

(57)【要約】

【構成】ハード構成はメインCPU1, サブCPU2, メインCPUとサブCPU間のデータ通信を行うためのバスライン, メインCPUの動作を監視するウォッチドッグタイマ回路3及びANDゲートで主に構成される。制御上の構成は、データのポインタ及び、送信モードフラグ, 受信モードフラグで主に構成される。

【効果】メインCPUとサブCPUの通信に使用しているバスラインを用いてサブCPUの動作を監視するため、ウォッチドッグタイマ(WDT)回路はメインCPU側のみに設けるだけで良く、回路が容易になり安価に構成できる。また、サブCPUが故障した場合でも、メインCPU側で制御している機能はそのまま動作させることができるので、安全性を向上できる。

図 1



1

【特許請求の範囲】

【請求項1】メインCPU、サブCPUの2つのCPUで構成されるシステムにおいて、メインCPUとサブCPUの間でデータベースを用いてデータ通信を行っている場合のCPU動作監視方法で、メインCPUの動作は外部に設けたウォッチドッグタイマ回路により監視され、サブCPUの動作はメインCPUにより監視される事を特徴とする2CPUの動作監視方法。

【請求項2】請求項1記載の2CPUの動作監視方法で、サブCPUとのデータ通信時、データの先頭または末尾にあらかじめ設定したサブCPUの動作判定用フラグ（送信モードフラグ、受信モードフラグ）の有無により、メインCPUでサブCPUの動作を監視する事を特徴とする2CPUの動作監視方法。

【請求項3】請求項1記載の2CPUの動作監視方法で、メインCPUが暴走または故障した場合は、外部に設けたウォッチドッグタイマ回路より出力されるリセット信号によって、メインCPU、サブCPUとも初期化から再起動し、また、サブCPUが暴走または故障した場合は、メインCPUの出力ポートよりサブCPUへリセット信号を出力して、サブCPUを初期化から再起動させる事を特徴とする2CPUの動作監視方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は2つのCPUで構成されるシステムに於いて、CPU相互間のデータベースを用いてデータの通信を行っている場合のCPU動作監視方法に関する。例えば、内燃機関等の制御用コントロールユニットに利用できる。

【0002】

【従来の技術】従来の技術としては、ARRANGMENT FOR MONITORING A COMPUTER SYSTEM HAVING TWO PROCESSORS IN A MOTOR VEHICLE (USP4881227) で記載されている様に、2CPUの動作監視方法は2つのCPU同士で監視し、故障したCPUに対して正常なCPUからリセット信号を出力して初期化から再起動させる方法があった。

【0003】

【発明が解決しようとする課題】このような従来の技術では、CPUの動作を監視するための回路の構成が複雑になり安価に製作することが出来ないと言う課題があった。

【0004】また、2つのCPUのうち一方をメインCPU、一方をサブCPUとして使用する場合、仮にメインCPUが故障したとすればサブCPUからメインCPUがリセットされるため、システムとしては機能する事が出来ないと言う課題があった。

【0005】

【課題を解決するための手段】これらの課題を解決するために本発明では、2CPU間でデータベースを用いたデータの通信を行っている場合、サブ側CPUの動作をメ

2

インCPUで監視し、サブCPUが故障した場合はメインCPUからサブCPUをリセットする方式とした。

【0006】

【作用】ウォッチドッグタイマ回路は、メインCPUから出力されるプログラムラン信号（例えば、10ms毎に反転する矩形波）を監視して、メインCPUが故障した場合、プログラムラン信号が規定時間内に反転しなくなる。メイン、サブ両方のCPUにリセット信号（RES）を出力する。このRES信号によりメイン、サブ両方のCPUは初期化から再起動される。

【0007】サブCPUが故障した場合は、メインCPUとのデータ通信が不能となるため、メインCPU内であらかじめ設定したサブCPUの動作監視用フラグ（送信モードフラグ、受信モードフラグ）が動作せず、サブCPU故障と判断し、メインCPUの出力ポートよりサブCPU側へリセット信号（RES）を出力して、サブCPUをリセットさせ初期化から再起動させる。

【0008】ANDゲートは前記したように、メインCPU故障時、またはサブCPU故障時の両方の場合に、サブCPUにリセット信号を入力して、サブCPUを初期化から再起動させる為に設けたものである。

【0009】

【実施例】以下、本発明の一実施例を図面を用いて説明する。

【0010】図1に於いてメインCPU、サブCPU間でデータベースを用いて定期的にデータの通信を行っている場合、この通信を利用してメインCPU側からサブCPUの動作を監視し、サブCPUの異常を検知した場合は、サブCPUにリセットをかける。

【0011】メインCPUは、メインCPU内に設定したプログラムラン（P-RUN）信号（10ms毎に反転する矩形波）をCPU外部のウォッチドッグタイマ回路に入力することにより、動作の監視を行うものとし、逆方向（サブCPU側からメインCPUへ）のリセットは行わない。

【0012】次に、図2の概略フローチャートにより動作の詳細を説明する。

【0013】（1）メインCPUのデータベース、サブCPUのデュアルポートRAM（DPRAM）間で定期的にデータの通信を行う。

【0014】データ通信の量は10ms間にメインCPUからサブCPUへ48Byte、サブCPUからメインCPUへ16Byteとする。

【0015】（2）1回の通信で送れるデータ量は15Byteとすると、10ms間に複数回の書き込み／読みだしを行う。

【0016】（3）データ通信の起動は、メイン側CPUの10msJOBで行う。その後、双方向に「書き込み終了／読みだし終了」の割り込みを掛け合って全データの通信を行う。

3

【0017】(4) 1回分、15Byteの内、1Byteはその回を送るデータのポインタ（データバッファの先頭からのオフセット値）を送り、受信側でポインタの値をチェックする。値が正しい時だけ受信を行い、正しくない時はなにもしない。

(5) メインCPU側では、送信開始時に「送信モードフラグ」をセットし、全データ送信終了時にリセットする。その後「受信モードフラグ」をセットし全データ受信終了時にリセットする。

【0018】正常にデータ通信が終了すれば、次の10ms JOBのタイミングでは両フラグともリセットされているはずである。

【0019】(6) メインCPU側またはサブCPU側でポインタの不一致が発生した時は(4)により通信が終了しないことになるので「送信モードフラグ」または「受信モードフラグ」のいずれかがセットされたままになる。サブCPU側が暴走したような場合も同様である。

【0020】(7) メインCPU側10ms JOBで通信起動前に「送信モードフラグ」、「受信モードフラグ」をチェックして、もしいずれかがセットされていたら前回の10ms JOBの通信においてサブCPU側で

4

異常が発生したと判断する。

【0021】(8) (7)の状態が所定回（例えば、10回）連続したら、一過性でない異常がサブCPU側に発生したと判断し、メインCPUの出力ポートからリセット信号を出力してサブCPUを初期化から再起動する。

【0022】

【発明の効果】本発明によれば、2つのCPUから構成されるシステムの場合、CPU相互間で通信を行っていれば、CPUの動作を監視するウオッチドッグタイマ回路はメインCPU側一個のみで成立し、従って回路構成が簡単になり安価にシステムを構成することができる。また、サブCPUが暴走または故障により動作しない場合でも、メインCPU側の制御内容はそのまま動作させることが出来るため、安全性の面で従来技術よりも向上させることができる。

【図面の簡単な説明】

【図1】本発明の2CPU構成の動作監視方法構成図である。

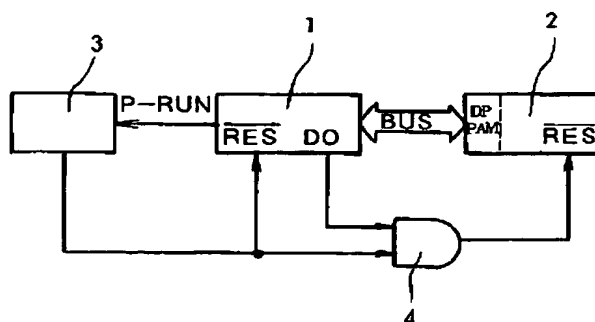
【図2】本発明の概略フローチャートである。

【符号の説明】

1…メインCPU、2…サブCPU、3…ウオッチドッグタイマ回路、4…ANDゲート。

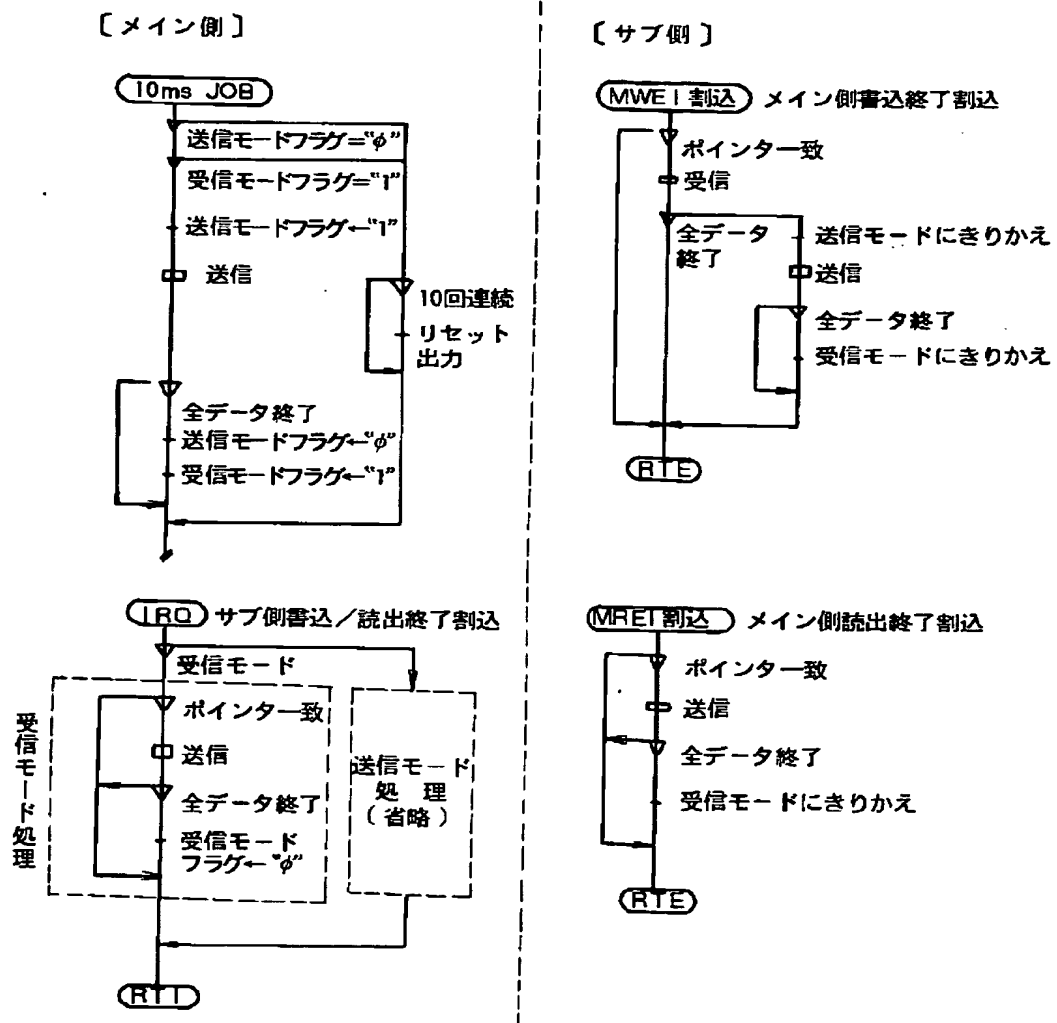
【図1】

図 1



【図2】

図 2



フロントページの続き

(72) 発明者 藤沢 正明
茨城県勝田市大字高場2520番地 株式会社
日立製作所自動車機器事業部内